

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

61964

Première édition
First edition

1999-04

**Circuits intégrés –
Configuration de broches de mémoires**

**Integrated circuits –
Memory devices pin configurations**

IECNORM.COM : Click to view the full PDF of IEC 61964:1999



Numéro de référence
Reference number
CEI/IEC 61964:1999

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement (Catalogue en ligne)*
- **Bulletin de la CEI**
Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
Published yearly with regular updates (On-line catalogue)*
- **IEC Bulletin**
Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

* See web site address on title page.

NORME
INTERNATIONALE
INTERNATIONAL
STANDARD

CEI
IEC

61964

Première édition
First edition

1999-04

**Circuits intégrés –
Configuration de broches de mémoires**

**Integrated circuits –
Memory devices pin configurations**

© IEC 1999 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembé Geneva, Switzerland
e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE

R

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

	Pages
AVANT-PROPOS	4
INTRODUCTION	6
Articles	
1 Domaine d'application	8
2 Références normatives.....	8
3 Termes et définitions.....	8
4 Catalogue de configurations de broche.....	20
4.1 Circuits intégrés mémoire dynamiques à écriture/lecture	20
4.2 Circuits intégrés mémoire dynamiques synchrones à écriture/lecture.....	22
4.3 Circuits intégrés mémoire statiques à lecture/écriture	22
4.4 Circuits intégrés mémoire à lecture seule	22
4.5 Circuits intégrés mémoire programmables.....	22
4.6 Circuits intégrés mémoire MOS effaçables par ultraviolet et programmables.....	22
4.7 Circuits intégrés mémoire effaçables électriquement et programmables.....	22
4.8 Modules mémoire composés de circuits intégrés mémoire.....	22
Annexe A (informative) Bibliographie	38
Tableau 1 – Organisation par mot de 4 bits pour DRAM	24
Tableau 2 – Organisation par octet pour DRAM.....	26
Tableau 3 – Organisation par mot pour DRAM (1)	28
Tableau 4 – Organisation par mot pour DRAM (2)	30
Tableau 5 – Organisation par mot de 4 bits pour SDRAM	32
Tableau 6 – Organisation par octet pour SDRAM	34
Tableau 7 – Organisation par mot pour SDRAM	36

CONTENTS

	Page
FOREWORD	5
INTRODUCTION	7
Clause	
1 Scope	9
2 Normative references	9
3 Terms and definitions	9
4 Pin Configurations Catalogue	21
4.1 Integrated Circuit Dynamic Read/Write Memories	21
4.2 Integrated Circuit Synchronous Dynamic Read/Write Memories	23
4.3 Integrated Circuit Static Read/Write Memories	23
4.4 Integrated Circuit Read-Only Memories	23
4.5 Integrated Circuit Programmable Read-Only Memories	23
4.6 MOS Ultraviolet Light Erasable and Programmable Read-Only Memories	23
4.7 Integrated Circuit Electrically Erasable and Programmable Read-Only Memories ...	23
4.8 Memory Modules Comprising Integrated Circuit Memories	23
Annex A (informative) Bibliography	39
Table 1 – Nibble wide organization DRAM	25
Table 2 – Byte wide organization DRAM	27
Table 3 – Word wide organization DRAM (1)	29
Table 4 – Word wide organization DRAM (2)	31
Table 5 – Nibble wide organization SDRAM	33
Table 6 – Byte wide organization SDRAM	35
Table 7 – Word wide organization SDRAM	37

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

CIRCUITS INTÉGRÉS – CONFIGURATION DE BROCHES DE MÉMOIRES

AVANT-PROPOS

- 1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 61964 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47A/535/FDIS	47A/549/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

L'annexe A est uniquement donnée à titre d'information.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**INTEGRATED CIRCUITS –
MEMORY DEVICES PIN CONFIGURATIONS****FOREWORD**

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61964 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this standard is based on the following documents:

FDIS	Report on voting
47A/535/FDIS	47A/549/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

Annex A is for information only.

INTRODUCTION

L'enregistrement et la normalisation des dessins mécaniques pour les circuits intégrés mémoire sont habituellement traités dans la série des CEI 60191.

Un même boîtier mécanique pouvant correspondre à différents types de circuits mémoire ou le même boîtier mémoire pouvant être mis dans différents types de boîtiers mécaniques, il est nécessaire de limiter le nombre de telles configurations au minimum requis par l'industrie électronique. L'enregistrement et la normalisation des configurations de brochages électriques aident aussi à établir et à maintenir la compatibilité entre différents fabricants et pour différentes applications.

En raison de la nature du marché des circuits intégrés mémoire, où de nouvelles générations de densité et de nouvelles fonctions électriques peuvent être introduites en permanence, la présente Norme internationale doit prendre une forme «ouverte». Dans ce contexte, cela signifie que de nouveaux éléments peuvent être ajoutés à tout moment dans un article. De nouveaux paragraphes peuvent être créés si de nouveaux types de boîtiers mémoires deviennent d'utilisation courante dans l'industrie.

Les adjonctions, suppressions et toute autre modification seront soumis à approbation avant toute nouvelle publication.

IECNORM.COM : Click to view the full PDF of IEC 61964:1999

INTRODUCTION

The registration and standardization of the mechanical outlines for integrated memory circuit devices is an ongoing activity covered in the IEC 60191 series.

Due to the fact that the same mechanical package can house different types of memory devices, and because the same memory device can be incorporated into different types of mechanical packages, the number of such configurations has to be limited to minimum required by the electronics industry. Registration and standardization of such electrical pinout configurations also helps to establish and maintain compatibility of devices from different vendors and in different applications.

Owing to the nature of the integrated memory circuits business, in which there is ongoing potential for the development of new density generations and new electrical functions, this International Standard has to take the form of an open Standard. In the present context, this signifies that the new items can be added at any time to any of its clauses. New subclauses may be created as new types of memory devices come into usage in the industry.

Additions, deletions and any changes will be subject to agreement in order to become effective for publication.

IECNORM.COM : Click to view the full PDF of IEC 61964:1999

CIRCUITS INTÉGRÉS – CONFIGURATION DE BROCHES DE MÉMOIRES

1 Domaine d'application

La présente Norme internationale est relative à la configuration des broches de boîtiers de circuits intégrés mémoire. Le but de cette norme est d'établir une procédure de recommandation pour le choix de telles configurations.

2 Références normatives

Les documents normatifs suivants contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente Norme internationale. Pour les références datées, les amendements ultérieurs ou les révisions de ces publications ne s'appliquent pas. Toutefois, les parties prenantes aux accords fondés sur la présente Norme internationale sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Pour les références non datées, la dernière édition du document normatif en référence s'applique. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 60191-2:1996, *Normalisation mécanique des dispositifs à semiconducteurs – Deuxième partie: Dimensions*

CEI 60748-1:1984, *Dispositifs à semiconducteurs – Circuits intégrés – Première partie: Généralités*

3 Termes et définitions

Pour les besoins de la présente Norme internationale, les termes et définitions suivants s'appliquent. Cet article contient les définitions de termes nécessaires à une bonne compréhension de la présente norme.

La plupart de ces termes ont été définis par l'industrie de la mémoire à semiconducteurs. Ils sont fournis comme référence rapide mais ne remplacent pas les définitions qui figurent dans d'autres normes de la CEI telles que la CEI 60748-1.

Les noms des broches ci-après et les descriptions fonctionnelles s'appliquent de façon égale à tous les composants couverts par cette norme. Quand une broche a une fonction double et que ces fonctions sont appelées à des instants très différents, les noms et symboles pour ces fonctions sont séparés par une barre oblique (/) (exemple V_{PP}/G). Quand une broche a plusieurs fonctions qui sont utilisées simultanément, la barre oblique est omise (exemple DQ). Quand plusieurs broches ont une fonction identique, un numéro symbolisé par (n) est ajouté au symbole. Quand la fonction de la broche a un niveau logique inversé, c'est-à-dire que la fonction est vraie ou active pour un signal à l'état bas, la barre oblique inversée (\) est ajoutée au symbole. Quand des fonctions optionnelles sont autorisées par la norme, ces fonctions autorisées sont énumérées et séparées par des virgules. Quand l'usage courant entraîne l'emploi de deux termes pouvant être utilisés indifféremment, les deux sont indiqués, mais le terme le moins favorisé est mis entre parenthèses.

INTEGRATED CIRCUITS – MEMORY DEVICES PIN CONFIGURATIONS

1 Scope

This International Standard applies to pinout package configurations of solid state integrated circuit memory devices. The purpose of this standard is to establish a registration procedure for such configurations.

2 Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this International Standard. For dated references, subsequent amendments to, or revisions of, any of these publications do not apply. However, parties to agreements based on this International Standard are encouraged to investigate the possibility of applying the most recent editions of the normative documents indicated below. For undated references, the latest edition of the normative document referred to applies. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 60191-2:1996, *Mechanical standardization of semiconductor devices – Part 2: Dimensions*

IEC 60748-1:1984, *Semiconductor devices – Integrated circuits – Part 1: General*

3 Terms and definitions

For the purpose of this International Standard, the following terms and definitions apply. This contains definitions of a number of terms that are needed for a clear understanding of the standard.

Most of these terms have been developed within the semiconductor memory industry. They are given for quick reference and are not intended to supersede any existing definitions in previous IEC publications such as IEC 60748-1.

The following pin names and functional descriptions apply uniformly to all devices covered by this standard. Where a pin has a dual function, and those functions are invoked at substantially different times, the names and symbols for these functions are separated by a slash (/) (e.g. $V_{PP}/G\bar{I}$). Where a pin has multiple functions which are used simultaneously, the slash is omitted (e.g. DQ). Where multiple pins have a similar function, a number symbolised as (n) is appended to the symbol. Where the pin function has an inverted logic sense, that is, the function is true or invoked for a low signal, the reverse slash ($\bar{}$) is appended to the symbol. Where alternative functions are permitted by this standard, these authorized functions are listed and separated by commas. Where common usage has resulted in two terms being used interchangeably, both are listed but the less favoured term is enclosed in parentheses.

3.1 Noms des broches du composant

3.1.1 A(n), ENTRÉES ADRESSE

Ces entrées sélectionnent (adressent) une cellule particulière ou un ensemble de cellules à l'intérieur d'une matrice mémoire pour la sauvegarde de données ou pour la présentation des données sauvegardées sur les sorties du circuit.

L'entier (n) sert à différencier les entrées adresse les unes des autres.

3.1.2 AL, ALI, VALIDATION DE VERROU D'ADRESSE

Une entrée qui, quand elle est vraie, autorise l'adresse présentée à être sauvegardée dans un registre et quand elle est fausse, permet à l'état adresse précédemment sauvegardé d'être verrouillé.

3.1.3 BA, ADRESSE DE BANC

Dans une mémoire vive qui a plusieurs bancs dans son architecture, l'ADRESSE DE BANC est utilisée, à n'importe quel moment, pour sélectionner l'un quelconque des bancs disponibles.

3.1.4 CA, ADRESSE COLONNE

Dans une adresse multiplexée de mémoire vive dynamique (DRAM), le champ adresse qui est capturé par le front CAS\ de la VALIDATION DE COLONNE.

3.1.5 CAS, CAS\ VALIDATION DE COLONNE

Un signal de validation qui active, sur quelques RAM dynamiques uniquement, les circuits internes agissant sur les colonnes et les circuits de données entrée/sortie. La plupart des circuits nécessitent qu'un signal RAS\ soit présent pour que le signal CAS\ soit pris en compte. Dans quelques conceptions plus récentes, cependant, des séquences spéciales des signaux RAS\ et CAS\ sont utilisées pour activer certaines fonctions spéciales de contrôle.

3.1.6 CK, CK\ ENTRÉE ET SORTIE HORLOGE

Une entrée qui contrôle l'activation des circuits à la fois d'entrée et de sortie, généralement des registres de sauvegarde ou des verrous.

3.1.7 CKE, VALIDATION D'HORLOGE

Dans certains circuits mémoires synchrones, une entrée nécessitant un niveau logique qui valide l'entrée horloge et lui permet de remplir complètement sa fonction.

3.1.8 D(n), ENTRÉE DE DONNÉES

Les entrées dont l'état représente la valeur des données que l'on doit écrire à l'adresse sélectionnée pendant un cycle d'écriture d'une mémoire volatile.

3.1.9 DQ(n), ENTRÉE/SORTIE DE DONNÉES

Les broches fournissant les données en sortie en mode lecture et les données en entrée en mode écriture. Quand le circuit n'est pas sélectionné ou validé, les sorties sont dans un état flottant.

3.1 Device pin names

3.1.1 A(n), ADDRESS INPUTS

Those inputs that select (address) a particular cell or set of cells within a memory array for storage of data or for presentation of the stored data on the device outputs.

The integer (n) serves to differentiate the address inputs one from another.

3.1.2 AL, AL_I, ADDRESS LATCH ENABLE

An input that, when true, allows the input address to be entered into a register, and when false, causes the address state previously entered to be latched.

3.1.3 BA, BANK ADDRESS

In a RAM that has multiple banks in its architecture, the BANK ADDRESS is used, at any instant of time, to select any one of the available banks.

3.1.4 CA, COLUMN ADDRESS

In an address multiplexed DRAM (dynamic RAM), the address field that is captured by the COLUMN ENABLE clock CAS_I.

3.1.5 CAS, CAS_I, COLUMN ENABLE

An enable signal that on some dynamic RAMs actuates only the column-oriented internal circuits and the data input/output circuits. Most devices normally require the RAS_I signal to be present for the CAS_I signal to be effective. In some newer designs, however, special sequences of the RAS_I and CAS_I signals are used to actuate certain special device control functions.

3.1.6 CK, CK_I, INPUT AND OUTPUT CLOCK

An input that controls the activation of both input and output circuitry, normally storage registers or latches.

3.1.7 CKE, CLOCK ENABLE

In certain synchronous memory devices, a logic level input that enables the clock input and allows it to fulfill its defined function.

3.1.8 D(n), DATA INPUT

Those inputs whose state represents the value of data that is to be written into the selected address on a write cycle of an alterable memory device.

3.1.9 DQ(n), DATA INPUT/OUTPUT

The pins that serve as data output(s) when in the read mode and as data input(s) when in the write mode. When the device is not selected or enabled, the output(s) are in a floating state.

Sur un circuit ayant des ports à la fois série et parallèle, ces broches fournissent l'accès aux canaux de données du port de la RAM parallèle. Le suffixe (n) est une valeur numérique indiquant le numéro d'affectation d'une broche particulière avec une numérotation commençant à 0. Dans certains cas, les lettres U et L sont utilisées pour indiquer que les broches sont attribuées à l'octet poids fort ou poids faible de l'interface de données sur 2 octets. Dans les circuits où le standard supporte un neuvième bit optionnel qui peut être utilisé comme bit de parité, le suffixe P peut être utilisé à la place d'une valeur numérique.

3.1.10 DQM, MASQUE DE DONNÉES EN ENTRÉE/SORTIE

Un signal de commande utilisé essentiellement sur les SDRAM qui agit comme un masque d'octet pour les fonctions de lecture et d'écriture. Dans certains cas, le terme inclut un préfixe «U» ou «L» pour indiquer le contrôle par l'octet poids fort ou l'octet poids faible.

3.1.11 G,G\,VALIDATION DE SORTIE

L'entrée qui, quand elle est non active, invalide les sorties et les force dans un état inactif. Elle n'affecte pas la fonction d'écriture. Pendant l'invalidation, l'état inactif correspond à l'état flottant (haute impédance) pour les circuits MOS et TTL.

3.1.12 L, OCTET POIDS FAIBLE

Quand L est utilisé conjointement avec un terme donnée ou contrôle, il signifie que le terme combiné s'applique à l'octet poids faible d'un circuit dont l'interface donnée est constituée de 2 octets (exemple LW).

3.1.13 NC, AUCUNE CONNEXION

Une broche sur laquelle aucune connexion électrique interne n'est présente ou autorisée vers la pastille.

3.1.14 Q(n), SORTIE DONNÉE

Les sorties dont l'état représente les données lues à partir des cellules sélectionnées. Quand le circuit n'est pas sélectionné ou validé, les sorties sont habituellement dans un état flottant (Z, haute impédance).

3.1.15 RA, ADRESSE DE LIGNE

Dans une DRAM à adresse multiplexée, le champ adresse qui est capturé par le front du signal VALIDATION DE LIGNE horloge, RAS\.

3.1.16 RAS, RAS\, VALIDATION DE LIGNE

Un signal de validation qui, sur certaines RAM dynamiques, active seulement le circuit interne de commande de ligne.

3.1.17 S(n), S(n)\, SÉLECTION DE PASTILLE

Quand une entrée quelconque est non active, elle entraîne l'invalidation du circuit sans modification significative de la puissance consommée. Lorsqu'il est invalidé, le circuit devient insensible à toute commande.

On a device which has both serial and parallel access ports, these pins provide access to the parallel RAM port data channels. The suffix (n) is a numeric value indicating the number assignment of a particular pin with numbering starting at 0. In some situations the letters U or L are used to indicate that the pins are assigned to the upper or lower byte of a two-byte data interface. In devices where the standard supports an optional 9th bit that may be used as a parity bit, the suffix P may be used in lieu of a numeric value.

3.1.10 DQM, DATA INPUT/OUTPUT MASK

A control signal used primarily on SDRAMs that acts as a byte mask for reading and writing functions. In some instances, the term includes a prefix "U" or "L" to indicating upper or lower byte control.

3.1.11 G, G\, OUTPUT ENABLE

The input that, when false, disables the outputs and causes them into an inactive state. That does not affect the write function. When disabled, the inactive state corresponds to floating state (high impedance), for MOS and TTL devices.

3.1.12 L, LOWER BYTE

When L is used in conjunction with a data or control term it signifies that the combined term applies to the lower byte of a two-byte data interface device (e.g. LW).

3.1.13 NC, NO CONNECTION

A pin at which no internal electrical connection is present in the chip.

3.1.14 Q(n), DATA OUTPUT

The outputs whose state represents the data read from the selected cells. When the device is not selected or enabled, the outputs are usually in a floating (Z, high impedance) state.

3.1.15 RA, ROW ADDRESS

In an address multiplexed DRAM, the address field that is captured by the ROW ENABLE clock, RAS\.

3.1.16 RAS, RAS\, ROW ENABLE

A chip enable signal that, on certain dynamic RAMs, actuates only the row oriented internal circuitry.

3.1.17 S(n), S(n)\, CHIP SELECT

The input that, when any one is false, causes the device to be disabled without any significant change in the power consumption. When disabled, the device becomes insensitive to any command.

3.1.18 U, OCTET POIDS FORT

Quand U est utilisé conjointement avec un terme de donnée ou de contrôle, il signifie que le terme combiné s'applique à l'octet poids fort du circuit dont l'interface donnée est sur 2 octets (exemple UW).

3.1.19 W,WI, AUTORISATION D'ÉCRITURE

Lorsqu'une entrée est active, la donnée présente sur la broche D ou les broches DQ est écrite dans la ou les cellules du circuit qui sont adressées.

3.2 Noms des broches d'alimentation

Les symboles suivants sont utilisés pour désigner les broches d'alimentation pour un circuit mémoire. Quand une seule broche est prévue pour une alimentation donnée, le nom de la broche est utilisé sans suffixe. Un suffixe numérique est employé pour indiquer l'ordre préférentiel de l'implantation quand des broches supplémentaires optionnelles sont autorisées. Un suffixe alphabétique est utilisé pour indiquer des broches qui ont une alimentation spécifique ou nécessitent une connexion rebouclée. L'utilisation d'un suffixe commun à différentes broches indique que ces broches se connectent à une liaison d'alimentation commune.

3.2.1 V_{CC} , TENSION D'ALIMENTATION LOGIQUE

Un ancien terme pour la broche d'alimentation correspondant au potentiel positif, qui était appliqué aux circuits mémoires et aux circuits logiques 5V. Il a été remplacé par V_{DD} .

3.2.2 V_{CCQ} , TENSION D'ALIMENTATION LOGIQUE EN SORTIE

Voir V_{DDQ} pour la définition.

3.2.3 V_{DD} , TENSION D'ALIMENTATION DU DRAIN

La tension d'alimentation primaire portée au potentiel positif.

3.2.4 V_{DDQ} , TENSION D'ALIMENTATION DU DRAIN POUR L'ÉTAGE DE SORTIE

La broche d'alimentation dont le rôle est de polariser les transistors de sortie du circuit pour fournir le potentiel et l'énergie pour forcer la charge connectée aux broches de données en sortie (Q) ou de données en entrées/sortie (DQ). D'autres transistors correspondant à des broches de sortie, qui ne sont pas des données, peuvent aussi être désignés pour être alimentés par cette broche d'alimentation. V_{DDQ}/V_{CCQ} peuvent être spécifiées pour avoir un potentiel identique ou différent de celui qui alimente les broches d'alimentation primaires du circuit (V_{DD}/V_{CC}) mais elles sont isolées électriquement de celle-ci sur la pastille et de toutes autres broches d'alimentation de la pastille.

3.2.5 V_{REF} , TENSION D'ALIMENTATION DE RÉFÉRENCE

Une alimentation qui agit comme référence pour déterminer les tensions de seuil internes mais ne fournit aucune puissance au circuit.

3.2.6 V_{SS} , (GND), RÉFÉRENCE DE MASSE ou TENSION D'ALIMENTATION DE SOURCE

La tension de référence de masse pour les circuits NMOS, CMOS et TTL, la plupart du temps la broche de référence pour tous les autres circuits. V_{SS} est normalement la masse du système et le symbole est souvent utilisé indifféremment avec GND.

3.1.18 U, UPPER BYTE

When U is used in conjunction with a data or control term it signifies that the combined term applies to the upper byte of a two-byte data interface device (e.g. UW).

3.1.19 W, W_I, WRITE ENABLE

The input that, when true, causes the data present on the D or the DQ pin(s) to be written into the address cell(s) of the device.

3.2 Power Pin Names

The following symbols are used to designate the power pins in a memory device. When only one pin is provided for a given supply, the pin name is used without suffix. A numeric suffix is used to indicate the preferred order of implementation when optional redundant pins are allowed. An alphabetic suffix is used to indicate pins which have a specific power circuit or loop connection. The use of a common suffix for different supplies indicates that those pins connect to a common power loop.

3.2.1 V_{CC}, LOGIC POWER VOLTAGE

An older term for a positive potential power supply pin, which was applied to 5V memory and logic devices. It has been replaced by V_{DD}.

3.2.2 V_{CCQ}, OUTPUT STAGE LOGIC POWER VOLTAGE

See V_{DDQ} for definition.

3.2.3 V_{DD}, DRAIN POWER VOLTAGE

The primary positive potential power supply voltage.

3.2.4 V_{DDQ}, OUTPUT STAGE DRAIN POWER VOLTAGE

The power pin that is intended to feed power to the output transistors of the device so as to supply the potential and energy to drive the load applied to the data output (Q) pins or data input/output (DQ) pins. Other, non-data, output pin transistors may also be designated to be fed by this power pin. V_{DDQ}/V_{CCQ} may be specified to have the same or a different potential from that feeding the primary device power pins (V_{DD}/V_{CC}) but have no direct low ohmic connection to the chip from these and any other chip power pins.

3.2.5 V_{REF}, REFERENCE POWER SUPPLY

A power supply that acts as a reference for determining internal threshold voltages but does not supply any substantial power to the device.

3.2.6 V_{SS}, (GND), GROUND REFERENCE or SOURCE POWER VOLTAGE

The ground reference voltage for NMOS, CMOS, and TTL devices, commonly the reference pin for all other device pins. V_{SS} is normally the system ground and the symbol is often used interchangeably with GND.

3.2.7 V_{SSQ} , (GNDQ), TENSION D'ALIMENTATION DE MASSE POUR L'ÉTAGE DE SORTIE ou TENSION D'ALIMENTATION DE SOURCE POUR L'ÉTAGE DE SORTIE

La tension de référence de masse pour les broches de données de sortie (Q) ou en entrée/sortie (DQ).

Les autres transistors correspondant aux broches de sortie, qui ne sont pas des données, peuvent aussi avoir pour référence cette broche de masse. A l'intérieur du circuit, cette broche doit être isolée électriquement de la broche de référence de masse primaire (V_{SS}) et de toute autre broche de référence de masse. A l'extérieur du circuit, elle doit être commune avec la référence de masse primaire.

3.3 Noms des types de circuit

3.3.1 DRAM, MÉMOIRE DYNAMIQUE À ACCÈS ALÉATOIRE (Circuit intégré mémoire dynamique à écriture/lecture)

Une mémoire à écriture/lecture dont les données sont stockées comme charge dans un condensateur dans chaque cellule mémoire et qu'il convient de stocker de nouveau (rafraîchir) périodiquement. La logique de contrôle du rafraîchissement peut être externe ou interne à la puce.

3.3.2 EPROM, MÉMOIRES MORTES PROGRAMMABLES ET EFFAÇABLES (Mémoire morte MOS effaçable aux UV et programmable)

Une ROM reprogrammable dans laquelle toutes les cellules peuvent être effacées simultanément en utilisant la lumière ultraviolette et dans laquelle chaque cellule peut être reprogrammée électriquement.

3.3.3 EEPROM, MÉMOIRES MORTES PROGRAMMABLES ET EFFAÇABLES ÉLECTRIQUEMENT (Circuit intégré mémoire morte effaçable et programmable électriquement)

Une ROM reprogrammable dans laquelle les cellules peuvent être effacées électriquement et dans laquelle chaque cellule peut être reprogrammée électriquement. Une Flash EPROM est un sous-ensemble de l'EEPROM dans laquelle les cellules mémoires sont effacées simultanément.

3.3.4 PROM, MÉMOIRE MORTE PROGRAMMABLE (Circuit intégré mémoire programmable à lecture seule)

Une ROM programmable par l'utilisateur dont le contenu des données de chaque cellule ne peut être modifié qu'une seule fois.

3.3.5 RAM, MÉMOIRE À ACCÈS ALÉATOIRE (Circuit intégré mémoire à écriture/lecture)

Une mémoire dans laquelle l'accès à chaque donnée stockée peut être réalisé au même moment, indépendamment de la localisation de la cellule. Dans une mémoire multiport, ce terme fait référence à la partie de la matrice qui contient la matrice cellules mémoires et ses étages de puissance, les amplificateurs différentiels, la logique de contrôle et le circuit associé avec le port de données en accès aléatoire normal.

3.3.6 ROM, MÉMOIRE À LECTURE SEULE (Circuit intégré mémoire morte)

Une mémoire dans laquelle le contenu ne peut pas être modifié pendant l'utilisation.

3.2.7 V_{SSQ} , (GNDQ), OUTPUT STAGE GROUND POWER VOLTAGE or OUTPUT STAGE SOURCE POWER VOLTAGE

The ground reference voltage for the data output (Q) or input/output (DQ) pins. Other, non-data, output pin transistors may also be referenced to this ground pin. Internal to the device, this pin shall be DC isolated from the primary ground reference (V_{SS}) pin and any other ground reference pin. External to the device, it shall be DC common with the primary ground reference.

3.3 Device type names

3.3.1 DRAM, DYNAMIC RANDOM-ACCESS MEMORY (Integrated Circuit Dynamic Read/Write Memory)

A read/write memory which has data stored as the charge on a capacitor for each memory cell and which should be restored (refreshed) periodically to retain the data. The restoration control logic can be external or internal to the chip.

3.3.2 EPROM, ERASABLE PROGRAMMABLE READ-ONLY MEMORY (MOS Ultraviolet Light Erasable and Programmable Read Only Memory)

A reprogrammable ROM in which all cells may be simultaneously erased using ultraviolet light and in which each cell may be reprogrammed electrically.

3.3.3 EEPROM, ELECTRICALLY ERASABLE PROGRAMMABLE READ-ONLY MEMORY (Integrated Circuit Electrically Erasable and Programmable Read Only Memory)

A reprogrammable ROM in which cells may be erased electrically and in which each cell may be reprogrammed electrically. Flash EPROM is a subset of EEPROM, in which memory cells are erased simultaneously.

3.3.4 PROM, PROGRAMMABLE READ-ONLY MEMORY (Integrated Circuit Programmable Read Only Memory)

A field programmable ROM which can have the data content of each cell altered only once.

3.3.5 RAM, RANDOM-ACCESS MEMORY (Integrated Circuit Read/Write Memory)

A memory in which access to any storage data can be achieved within a particular delay, independent of the location. In a multiport memory, this term refers to that portion of the array which contains the memory cell array and its drivers, sense amplifiers, and control logic and the circuitry associated with the normal random access data port.

3.3.6 ROM, READ-ONLY MEMORY (Integrated Circuit Read Only Memory)

A memory in which the contents can not be altered during operation.

3.3.7 SDRAM, DRAM SYNCHRONE (Circuit intégré mémoire dynamique synchrone à accès aléatoire)

Une DRAM avec une interface mémoire à accès aléatoire dynamique synchrone.

3.3.8 SRAM, MÉMOIRE STATIQUE À ACCÈS ALÉATOIRE (Circuit intégré mémoire statique à lecture/écriture)

Une mémoire à écriture/lecture dans laquelle la donnée est maintenue en l'absence de signaux de contrôle générés à l'intérieur ou à l'extérieur du circuit intégré.

3.4 Termes divers relatifs aux circuits

3.4.1 BIT WIDE (organisation par bit)

Une classe de composants mémoire qui ont une interface de données à un seul bit.

3.4.2 BYTE WIDE (organisation par octet)

Une classe de composants mémoire qui ont une interface de données parallèle à 8 bits ou occasionnellement 9 bits.

3.4.3 K (majuscule)

Quand on décrit une capacité de stockage d'un circuit mémoire, la quantité $K = 1\,024$ bits est utilisée.

3.4.4 M (majuscule)

Quand on décrit une capacité de stockage d'un circuit mémoire, la quantité $M = 2^{20}$ ou $1\,024\,K$ est utilisée.

3.4.5 NIBBLE WIDE (organisation par mot de 4 bits)

Une classe de circuits mémoire qui ont une interface de données parallèle de 4 bits.

3.4.6 INTERFACE SYNCHRONE

L'interface d'un circuit intégré dans lequel les signaux d'entrée et de sortie sont référencés par rapport à une ou des horloges externes.

3.4.7 WORD WIDE (organisation par mot)

Une classe de circuits mémoire qui ont une interface de données parallèle de 16 bits ou plus.

3.3.7 SDRAM, SYNCHRONOUS DRAM **(Integrated circuit Synchronous Dynamic Random-Access Memory)**

A DRAM with a synchronous dynamic random access memory interface.

3.3.8 SRAM, STATIC RANDOM-ACCESS MEMORY **(Integrated Circuit Static Read/Write Memory)**

A read/write memory in which the data is retained in the absence of control signals generated inside or outside the integrated circuit.

3.4 Miscellaneous device related terms

3.4.1 BIT WIDE

A class of memory devices that have only a single bit data interface.

3.4.2 BYTE WIDE

A class of memory devices that have a parallel eight or occasionally nine-bit data interface.

3.4.3 K (upper case)

When describing the storage capacity of a memory device, the quantity $K = 1\,024$ bits is used.

3.4.4 M (upper case)

When describing the storage capacity of a memory device, the quantity $M = 2^{20}$ or $1\,024\,K$ is used.

3.4.5 NIBBLE WIDE

A class of memory devices that have a parallel four-bit data interface.

3.4.6 SYNCHRONOUS INTERFACE

Interface circuitry to an integrated circuit in which input and output signals are referenced to one or more externally supplied clock(s).

3.4.7 WORD WIDE

A class of memory devices that have a parallel 16 bit data interface or wider.

3.5 Termes relatifs au boîtier

Une série de termes relatifs au boîtier ont été employés dans la présente norme et sont inclus dans le glossaire. Ce paragraphe présente les termes relatifs au boîtier qui sont le plus couramment utilisés dans l'industrie.

3.5.1 PAS DE BROCHE

Une position de broche sur le boîtier dans laquelle la broche n'est pas physiquement présente, mais la position est tout de même comptée.

3.5.2 PP, ESPACEMENT DE BROCHE

La distance nominale de centre à centre entre des broches ou terminaisons adjacentes sur le côté d'un boîtier de circuit intégré.

3.5.3 SOJ, BOÎTIER À FAIBLE ENCOMBREMENT DE BROCHES EN «J»

Un boîtier à montage en surface qui est conforme au concept de faible encombrement et dont les broches sont en forme de «J». Les règles générales pour les configurations mécaniques pour les boîtiers SOJ figurent dans la CEI 60191-2.

3.5.4 TSOP, TYPE II

Un boîtier à faible encombrement dont les broches sont formées en «aile de mouette» et dont l'épaisseur est significativement moindre que celle des boîtiers SOJ.

Le boîtier TSOP type II est quelquefois référencé comme R-PDSO-G. Les règles générales des boîtiers mécaniques pour les boîtiers TSOPII figurent dans la CEI 60191-2.

4 Catalogue de configurations de broche

4.1 Circuits intégrés mémoires dynamiques à écriture/lecture

4.1.1 Organisations par bit (à l'étude)

4.1.2 Organisations par mot de 4 bits

4.1.2.1 Organisation par mot de 4 bits pour DRAM (voir tableau 1)

4.1.3 Organisations par octet

4.1.3.1 Organisation par octet pour DRAM (voir tableau 2)

4.1.4 Organisations par mot

4.1.4.1 Organisation par mot pour DRAM(1) (voir tableau 3)

4.1.4.2 Organisation par mot pour DRAM(2) (voir tableau 4)

3.5 Package related terms

A series of package-related terms have been used in this standard and are included in the glossary. This subclause includes commonly used industry package terms.

3.5.1 NO PIN

A pin position on the package where the pin is not physically present, but the position is still counted.

3.5.2 PP, PIN PITCH

The nominal center-to-center distance between adjacent pins or terminals along the side of an IC package.

3.5.3 SOJ, SMALL OUTLINE J LEAD

A surface mount package that conforms to the small outline concept and the leads of which are formed into a "J" configuration. General rules for the mechanical outlines of SOJ packages can be found in IEC 60191-2.

3.5.4 TSOP, TYPE II

A small outline package with gull wing lead formation and whose thickness is substantially less than the SOJ package.

TSOP Type II is sometimes also referred to as R-PDSO-G. General rules for the mechanical outlines of TSOPII packages can be found in IEC 60191-2.

4 Pin Configurations Catalogue

4.1 Integrated Circuit Dynamic Read/Write Memories

4.1.1 Bit Wide Organizations (under consideration)

4.1.2 Nibble Wide Organizations

4.1.2.1 Nibble Wide Organization DRAM (see table 1)

4.1.3 Byte Wide Organizations

4.1.3.1 Byte Wide Organization DRAM (see table 2)

4.1.4 Word Wide Organizations

4.1.4.1 Word Wide Organization DRAM (1) (see table 3)

4.1.4.2 Word Wide Organization DRAM (2) (see table 4)

4.2 Circuits intégrés mémoire dynamiques synchrones à écriture/lecture

4.2.1 Organisations par bit (à l'étude)

4.2.2 Organisations par mot de 4 bits

4.2.2.1 Organisation par mot de 4 bits pour SDRAM (voir tableau 5)

4.2.3 Organisations par octet

4.2.3.1 Organisation par octet pour SDRAM (voir tableau 6)

4.2.4 Organisations par mot

4.2.4.1 Organisation par mot pour SDRAM (voir tableau 7)

4.3 Circuits intégrés mémoire statiques à lecture/écriture (à l'étude)

4.4 Circuits intégrés mémoire à lecture seule (à l'étude)

4.5 Circuits intégrés mémoire programmables (à l'étude)

4.6 Circuits intégrés mémoire MOS effaçables par ultraviolet et programmables (à l'étude)

4.7 Circuits intégrés mémoire effaçables électriquement et programmables (à l'étude)

4.8 Modules mémoire composés de circuits intégrés mémoire (à l'étude)

IECNORM.COM : Click to view the full PDF of IEC 61964:1999

4.2 Integrated Circuit Synchronous Dynamic Read/Write Memories**4.2.1 Bit Wide Organizations** (under consideration)**4.2.2 Nibble Wide Organizations****4.2.2.1 Nibble Wide Organization SDRAM** (see table 5)**4.2.3 Byte Wide Organizations****4.2.3.1 Byte Wide Organization SDRAM** (see table 6)**4.2.4 Word Wide Organizations****4.2.4.1 Word Wide Organization SDRAM** (see table 7)**4.3 Integrated Circuit Static Read/Write Memories** (under consideration)**4.4 Integrated Circuit Read Only Memories** (under consideration)**4.5 Integrated Circuit Programmable Read Only Memories** (under consideration)**4.6 MOS Ultraviolet Light Erasable and Programmable Read Only Memories**
(under consideration)**4.7 Integrated Circuit Electrically Erasable and Programmable Read Only Memories**
(under consideration)**4.8 Memory Modules Comprising Integrated Circuit Memories** (under consideration)

IECNORM.COM : Click to view the full PDF of IEC 61964:1999

Tableau 1 – Organisation par mot de 4 bits pour DRAM

Configurations de broche pour les circuits intégrés mémoire					
Type de mémoire/organisation					
4 M × 4 DRAM					
Type de boîtier					
SOJ à 26/24 broches		largeur 300 mil (0,300 pouces)		PP 50 mil (0,050 pouces)	
TSOP Type II à 26/24 broches		largeur 300 mil (0,300 pouces)		PP 50 mil (0,050 pouces)	
Numéro d'enregistrement CEI					
A l'étude					
Numéro de broche	Nom du signal	Numéro de broche	Nom du signal	Numéro de broche	Nom du signal
1	V _{DD}	25	DQ ₃	-	-
2	DQ ₀	26	V _{SS}	-	-
3	DQ ₁	-	-	-	-
4	W\	-	-	-	-
5	RAS\	-	-	-	-
6	A11, NC	-	-	-	-
7	Aucune broche	-	-	-	-
8	A10	-	-	-	-
9	A0	-	-	-	-
10	A1	-	-	-	-
11	A2	-	-	-	-
12	A3	-	-	-	-
13	V _{DD}	-	-	-	-
14	V _{SS}	-	-	-	-
15	A4	-	-	-	-
16	A5	-	-	-	-
17	A6	-	-	-	-
18	A7	-	-	-	-
19	A8	-	-	-	-
20	Aucune broche	-	-	-	-
21	A9	-	-	-	-
22	G\	-	-	-	-
23	CAS\	-	-	-	-
24	DQ ₂	-	-	-	-
Commentaires					
Compteur de rafraîchissement:		2 048 (broche 6: NC)	4 096 (broche 6: A11)		
Adresses de rafraîchissement:		A0 à A10	A0 à A11		
Adresses de lignes:		A0 à A10	A0 à A11		
Adresses de colonnes:		A0 à A10	A0 à A9		
Date de révision/historique					
Rev 0: 25 mars 1996					

Table 1 – Nibble wide organization DRAM

Pin configurations for integrated circuit memory devices					
Memory type/Organization					
4 M × 4 DRAM					
Package type					
26/24-Lead SOJ		300 mil (0,300 inch) body		50 mil (0,050 inch) PP	
26/24-Lead TSOP Type II		300 mil (0,300 inch) body		50 mil (0,050 inch) PP	
IEC package registration number					
Under consideration					
Pin number	Signal name	Pin number	Signal name	Pin number	Signal name
1	V _{DD}	25	DQ ₃	—	—
2	DQ ₀	26	V _{SS}	—	—
3	DQ ₁	—	—	—	—
4	W\	—	—	—	—
5	RAS\	—	—	—	—
6	A11, NC	—	—	—	—
7	No pin	—	—	—	—
8	A10	—	—	—	—
9	A0	—	—	—	—
10	A1	—	—	—	—
11	A2	—	—	—	—
12	A3	—	—	—	—
13	V _{DD}	—	—	—	—
14	V _{SS}	—	—	—	—
15	A4	—	—	—	—
16	A5	—	—	—	—
17	A6	—	—	—	—
18	A7	—	—	—	—
19	A8	—	—	—	—
20	No pin	—	—	—	—
21	A9	—	—	—	—
22	CL	—	—	—	—
23	CAS\	—	—	—	—
24	DQ ₂	—	—	—	—
Comments					
Refresh count:		2 048 (pin 6 is NC)		4 096 (pin 6 is A11)	
Refresh addresses:		A0 to A10		A0 to A11	
Row addresses:		A0 to A10		A0 to A11	
Column addresses:		A0 to A10		A0 to A9	
Revision date/history					
Rev. 0: March 25, 1996					

Tableau 2 – Organisation par octet pour DRAM

Configurations de broche pour les circuits intégrés mémoire					
Type de mémoire/organisation					
2 M × 8 DRAM					
Type de boîtier					
SOJ à 28 broches	largeur 400 mil (0,400 pouces)	PP 50 mil (0,050 pouces)			
SOJ à 28 broches	largeur 300 mil (0,300 pouces)	PP 50 mil (0,050 pouces)			
TSOP Type II à 28 broches	largeur 400 mil (0,400 pouces)	PP 50 mil (0,050 pouces)			
TSOP Type II à 28 broches	largeur 300 mil (0,300 pouces)	PP 50 mil (0,050 pouces)			
Numéro d'enregistrement CEI					
A l'étude					
Numéro de broche	Nom du signal	Numéro de broche	Nom du signal	Numéro de broche	Nom du signal
1	V _{DD}	25	DQ ₅	–	–
2	DQ ₀	26	DQ ₆	–	–
3	DQ ₁	27	DQ ₇	–	–
4	DQ ₂	28	V _{SS}	–	–
5	DQ ₃	–	–	–	–
6	W\	–	–	–	–
7	RAS\	–	–	–	–
8	A11, NC	–	–	–	–
9	A10	–	–	–	–
10	A0	–	–	–	–
11	A1	–	–	–	–
12	A2	–	–	–	–
13	A3	–	–	–	–
14	V _{DD}	–	–	–	–
15	V _{SS}	–	–	–	–
16	A4	–	–	–	–
17	A5	–	–	–	–
18	A6	–	–	–	–
19	A7	–	–	–	–
20	A8	–	–	–	–
21	A9	–	–	–	–
22	G\	–	–	–	–
23	CAS\	–	–	–	–
24	DQ ₄	–	–	–	–
Commentaires					
Compteur de rafraîchissement:	2 048 (broche 8: NC)	4 096 (broche 8: A11)			
Adresses de rafraîchissement:	A0 à A10	A0 à A11			
Adresses de lignes:	A0 à A10	A0 à A11			
Adresses de colonnes:	A0 à A9	A0 à A8			
Date de révision/historique					
Rev 0: 25 mars 1996					

Table 2 – Byte wide organization DRAM

Pin configurations for integrated circuit memory devices					
Memory type/organization					
2 M × 8 DRAM					
Package type					
28-Lead SOJ		400 mil (0,400 inch) body		50 mil (0,050 inch) PP	
28-Lead SOJ		300 mil (0,300 inch) body		50 mil (0,050 inch) PP	
28-Lead TSOP Type II		400 mil (0,400 inch) body		50 mil (0,050 inch) PP	
28-Lead TSOP Type II		300 mil (0,300 inch) body		50 mil (0,050 inch) PP	
IEC package registration number					
Under consideration					
Pin number	Signal name	Pin Number	Signal name	Pin number	Signal name
1	V _{DD}	25	DQ ₅	—	—
2	DQ ₀	26	DQ ₆	—	—
3	DQ ₁	27	DQ ₇	—	—
4	DQ ₂	28	V _{SS}	—	—
5	DQ ₃	—	—	—	—
6	W\	—	—	—	—
7	RAS\	—	—	—	—
8	A11, NC	—	—	—	—
9	A10	—	—	—	—
10	A0	—	—	—	—
11	A1	—	—	—	—
12	A2	—	—	—	—
13	A3	—	—	—	—
14	V _{DD}	—	—	—	—
15	V _{SS}	—	—	—	—
16	A4	—	—	—	—
17	A5	—	—	—	—
18	A6	—	—	—	—
19	A7	—	—	—	—
20	A8	—	—	—	—
21	A9	—	—	—	—
22	G\	—	—	—	—
23	CAS\	—	—	—	—
24	DQ ₄	—	—	—	—
Comments					
Refresh count:		2 048 (pin 8 is NC)	4 096 (pin 8 is A11)		
Refresh addresses:		A0 to A10	A0 to A11		
Row addresses:		A0 to A10	A0 to A11		
Column addresses:		A0 to A9	A0 to A8		
Revision date/history					
Rev. 0: March 25, 1996					

Tableau 3 – Organisation par mot pour DRAM (1)

Configurations de broche pour les circuits intégrés mémoire					
Type de mémoire/organisation					
1 M × 16 DRAM					
Type de boîtier					
SOJ 42 broche largeur 400 mil (0,400pouces) PP 50 mil (0,050 pouces)					
Numéro d'enregistrement CEI					
A l'étude					
Numéro de broche	Nom du signal	Numéro de broche	Nom du signal	Numéro de broche	Nom du signal
1	V _{DD}	25	A6	—	—
2	DQ ₀	26	A7	—	—
3	DQ ₁	27	A8	—	—
4	DQ ₂	28	A9	—	—
5	DQ ₃	29	G\	—	—
6	V _{DD}	30	UCAS\	—	—
7	DQ ₄	31	LCAS\	—	—
8	DQ ₅	32	NC	—	—
9	DQ ₆	33	DQ ₈	—	—
10	DQ ₇	34	DQ ₉	—	—
11	NC	35	DQ ₁₀	—	—
12	NC	36	DQ ₁₁	—	—
13	W\	37	V _{SS}	—	—
14	RAS\	38	DQ ₁₂	—	—
15	A11,NC	39	DQ ₁₃	—	—
16	A10,NC	40	DQ ₁₄	—	—
17	A0	41	DQ ₁₅	—	—
18	A1	42	V _{SS}	—	—
19	A2	—	—	—	—
20	A3	—	—	—	—
21	V _{DD}	—	—	—	—
22	V _{SS}	—	—	—	—
23	A4	—	—	—	—
24	A5	—	—	—	—
Commentaires					
Compteur de rafraîchissement:		1 024 (broches 15 et 16: NC)	4 096 (broche 15: A11, broche 16: A10)		
Adresses de rafraîchissement:		A0 à A9	A0 à A11		
Adresses de lignes:		A0 à A9	A0 à A11		
Adresses de colonnes:		A0 à A9	A0 à A7		
Date de révision/historique					
Rev 0: 25 mars 1996					

Table 3 – Word wide organization DRAM (1)

Pin configurations for integrated circuit memory devices					
Memory type/organization					
1 M × 16 DRAM					
Package type					
42-Lead SOJ		400 mil (0,400 inch) body		50 mil (0,050 inch) PP	
IEC package registration number					
Under consideration					
Pin number	Signal name	Pin number	Signal name	Pin number	Signal name
1	V _{DD}	25	A6	—	—
2	DQ ₀	26	A7	—	—
3	DQ ₁	27	A8	—	—
4	DQ ₂	28	A9	—	—
5	DQ ₃	29	G\	—	—
6	V _{DD}	30	UCAS\	—	—
7	DQ ₄	31	LCAS\	—	—
8	DQ ₅	32	NC	—	—
9	DQ ₆	33	DQ ₈	—	—
10	DQ ₇	34	DQ ₉	—	—
11	NC	35	DQ ₁₀	—	—
12	NC	36	DQ ₁₁	—	—
13	W\	37	V _{SS}	—	—
14	RAS\	38	DQ ₁₂	—	—
15	A11,NC	39	DQ ₁₃	—	—
16	A10,NC	40	DQ ₁₄	—	—
17	A0	41	DQ ₁₅	—	—
18	A1	42	V _{SS}	—	—
19	A2	—	—	—	—
20	A3	—	—	—	—
21	V _{DD}	—	—	—	—
22	V _{SS}	—	—	—	—
23	A4	—	—	—	—
24	A5	—	—	—	—
Comments					
refresh count:		1 024 (pin 15-16 are NC)		4 096 (pin 15-16 are A11-A10)	
refresh addresses:		A0 to A9		A0 to A11	
row addresses:		A0 to A9		A0 to A11	
column addresses:		A0 to A9		A0 to A7	
Revision date/history					
Rev. 0: March 25, 1996					

Tableau 4 – Organisation par mot pour DRAM (2)

Configurations de broche pour les circuits intégrés mémoire					
Type de mémoire/organisation					
1 M × 16 DRAM					
Type de boîtier					
TSOP Type II à 50/44 broches largeur 400 mil (0,400 pouces) PP 0,8 mm					
Numéro d'enregistrement CEI					
A l'étude					
Numéro de broche	Nom du signal	Numéro de broche	Nom du signal	Numéro de broche	Nom du signal
1	V _{DD}	25	V _{DD}	49	DQ ₁₅
2	DQ ₀	26	V _{SS}	50	V _{SS}
3	DQ ₁	27	A4	—	—
4	DQ ₂	28	A5	—	—
5	DQ ₃	29	A6	—	—
6	V _{DD}	30	A7	—	—
7	DQ ₄	31	A8	—	—
8	DQ ₅	32	A9	—	—
9	DQ ₆	33	G _I	—	—
10	DQ ₇	34	UCAS _I	—	—
11	NC	35	LCAS _I	—	—
12	Aucune broche	36	NC	—	—
13	Aucune broche	37	Aucune broche	—	—
14	Aucune broche	38	Aucune broche	—	—
15	NC	39	Aucune broche	—	—
16	NC	40	NC	—	—
17	W _I	41	DQ ₈	—	—
18	RAS _I	42	DQ ₉	—	—
19	A11,NC	43	DQ ₁₀	—	—
20	A10,NC	44	DQ ₁₁	—	—
21	A0	45	V _{SS}	—	—
22	A1	46	DQ ₁₂	—	—
23	A2	47	DQ ₁₃	—	—
24	A3	48	DQ ₁₄	—	—
Commentaires					
Compteur de rafraîchissement:		1 024 (broches 19 et 20: NC)		4 096 (broche 19: A11, broche 20: A10)	
Adresses de rafraîchissement:		A0 à A9		A0 à A11	
Adresses de lignes:		A0 à A9		A0 à A11	
Adresses de colonnes:		A0 à A9		A0 à A7	
Date de révision/historique					
Rev 0: 25 mars 1996					

Table 4 – Word wide organization DRAM (2)

Pin configurations for integrated circuit memory devices					
Memory type/organization					
1 M × 16 DRAM					
Package type					
50/44-Lead TSOP Type II 400 mil (0,400 inch) body 0,8 mm PP					
IEC package registration number					
Under consideration					
Pin number	Signal name	Pin number	Signal name	Pin number	Signal name
1	V _{DD}	25	V _{DD}	49	DQ ₁₅
2	DQ ₀	26	V _{SS}	50	V _{SS}
3	DQ ₁	27	A4	—	—
4	DQ ₂	28	A5	—	—
5	DQ ₃	29	A6	—	—
6	V _{DD}	30	A7	—	—
7	DQ ₄	31	A8	—	—
8	DQ ₅	32	A9	—	—
9	DQ ₆	33	G ₁	—	—
10	DQ ₇	34	UCAS\	—	—
11	NC	35	LCAS\	—	—
12	No pin	36	NC	—	—
13	No pin	37	No pin	—	—
14	No pin	38	No pin	—	—
15	NC	39	No pin	—	—
16	NC	40	NC	—	—
17	W\	41	DQ ₈	—	—
18	RAS\	42	DQ ₉	—	—
19	A11,NC	43	DQ ₁₀	—	—
20	A10,NC	44	DQ ₁₁	—	—
21	A0	45	V _{SS}	—	—
22	A1	46	DQ ₁₂	—	—
23	A2	47	DQ ₁₃	—	—
24	A3	48	DQ ₁₄	—	—
Comments					
Refresh count:		1 024 (pin 19-20 are NC)		4 096 (pin 19-20 are A11-A10)	
Refresh addresses:		A0 to A9		A0 to A11	
Row addresses:		A0 to A9		A0 to A11	
Column addresses:		A0 to A9		A0 to A7	
Revision date/history					
Rev. 0: March 25, 1996					